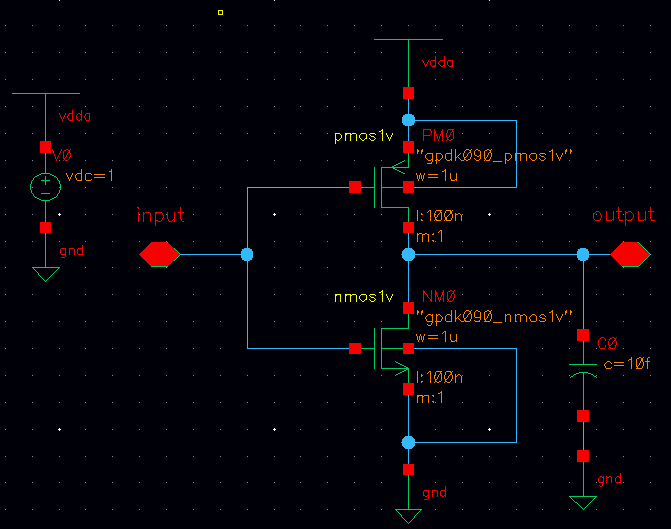
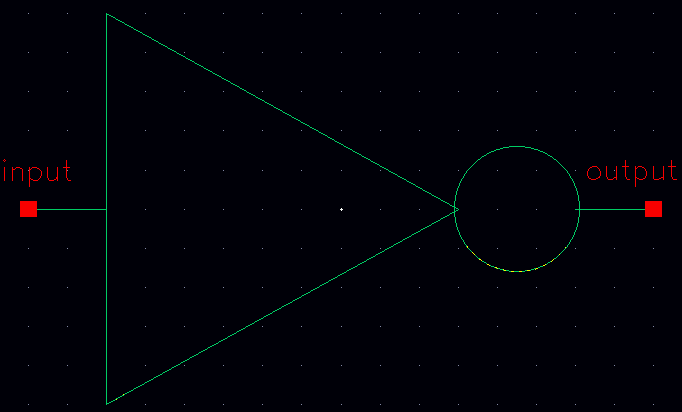
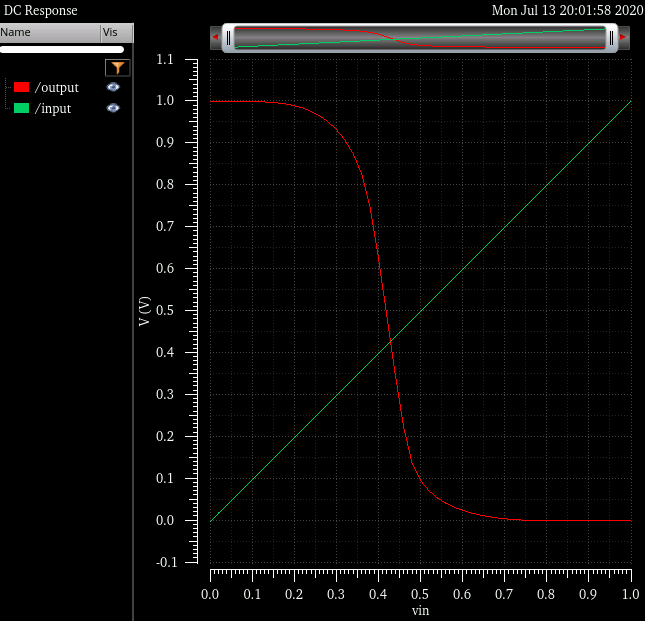
**Circuit training**

김호윤

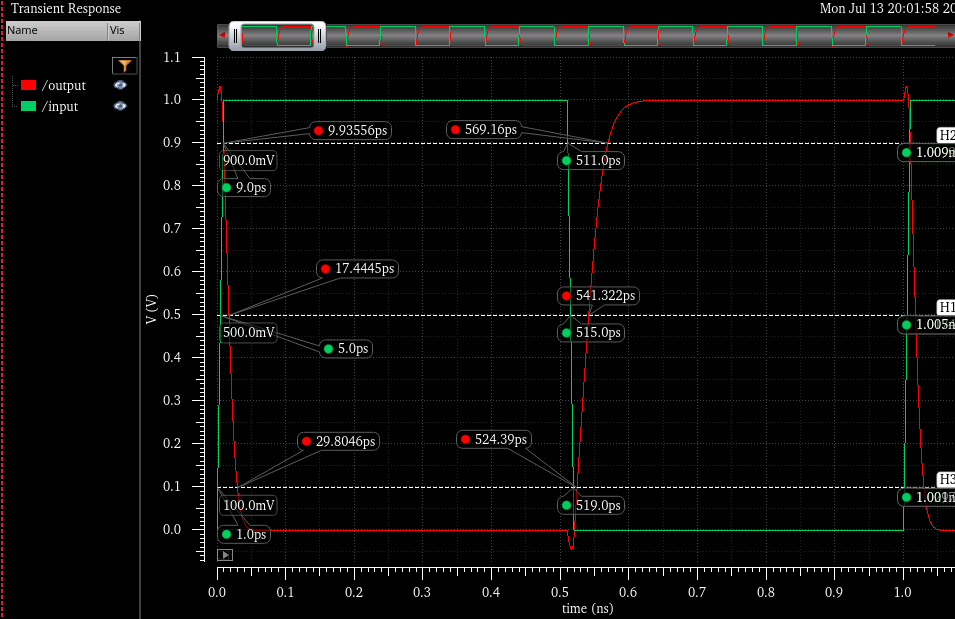
1. Wp=1um, Wn=1um, minimum Length, VDD=1.0V, CL=10fF인 인버터 회로를 만들고 VTC를 그려라.

 <schematic>

 <symbol>

 <VTC>

2. 인버터에 rise/fall time이 10ps인 입력 신호를 주고, 출력의 rise/fall time을 구하고, propagation delay를 구해라.



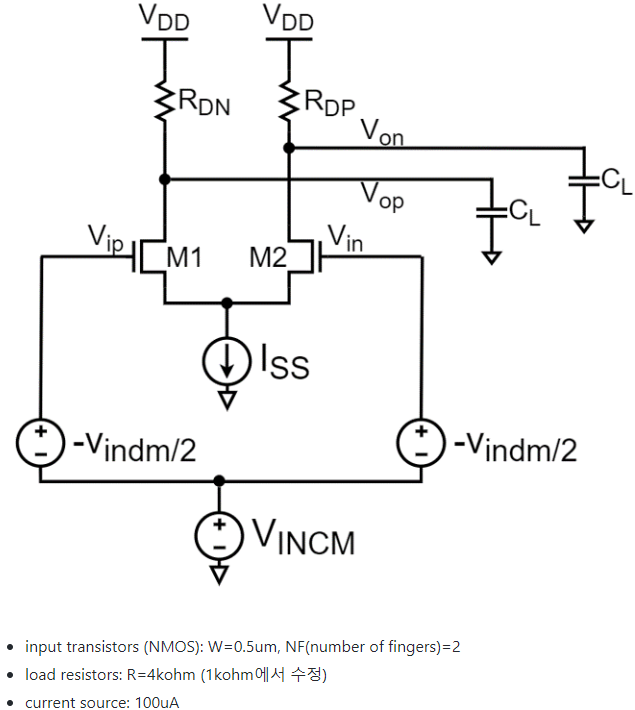
Propagation delay t\_PHL= 17.4445ps – 5ps = 12.44ps.

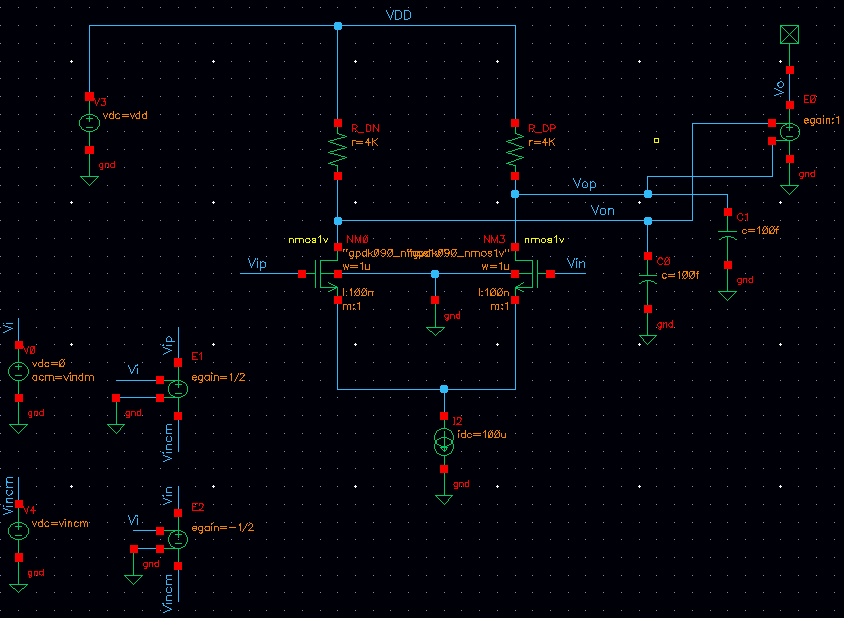
Propagation delay t\_PLH= 541.322ps – 515ps = 25.678ps.

Rising time = 569.16ps – 524.39ps = 44.77ps.

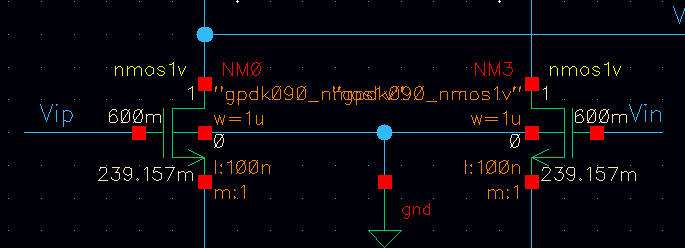
Falling time = 29.8046ps – 9.93556ps = 19.87ps

3. 다음과 같은 파라미터를 가진 resistive-loaded differential amplifier의 스키메틱을 그려라.



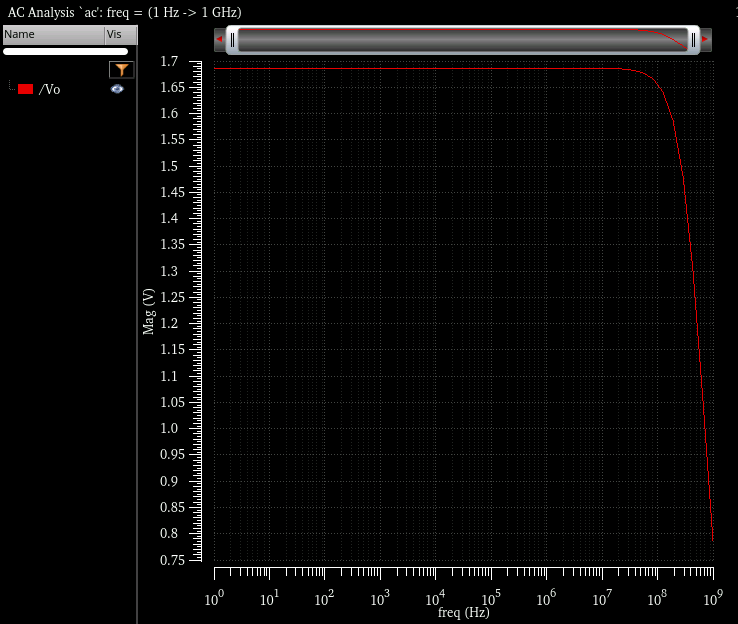


4. 위 차동 증폭기의 VDD=1.2V, input common mode = 0.6V일 때 각 노드의 전압을 구해라.



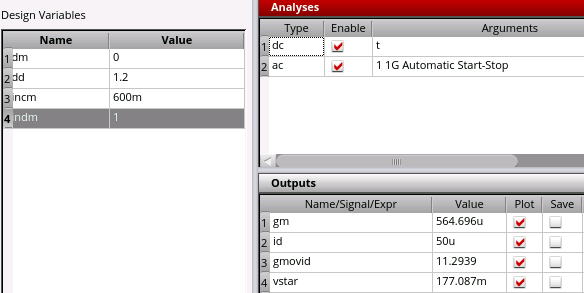
Drain 1V, Gate 0.6V, Source 239mV

5. 위 차동 증폭기의 load capacitance = 100fF일 때 증폭기의 AC response를 시뮬레이션 해라.

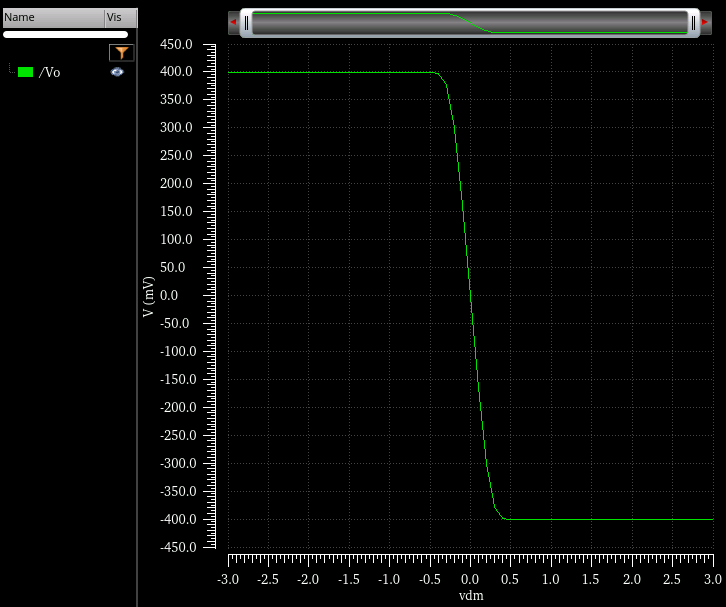


Vindm = 1V로 주었을 때 ac response.

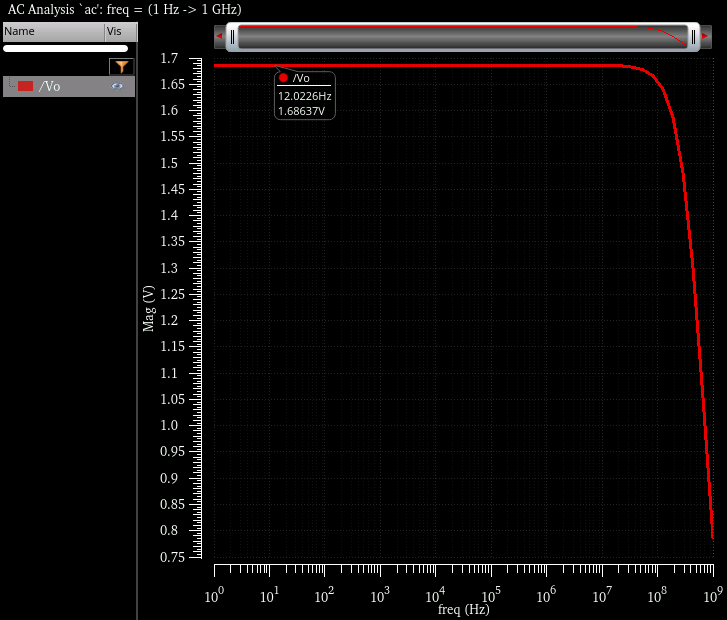
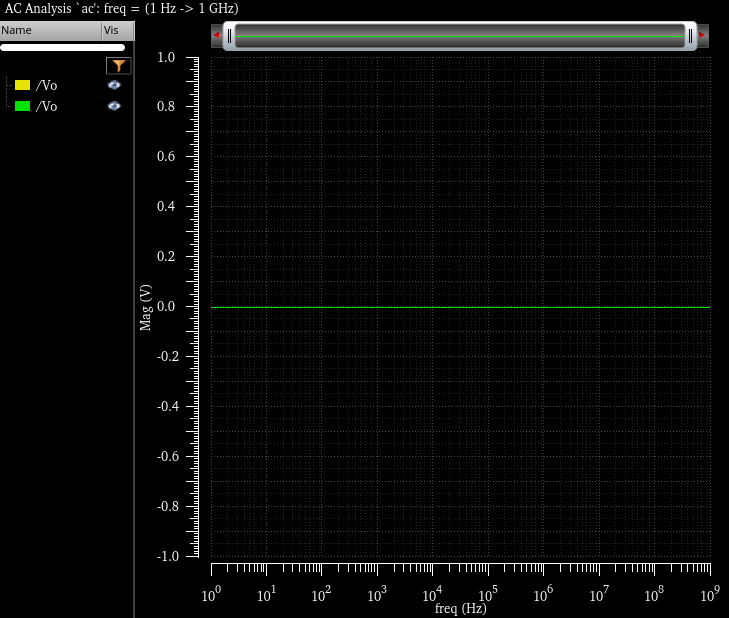
6. 위 차동 증폭기의 input transistor 들의  gm/ID, V\*=2ID/gm을 구하라.



7. 위 차동 증폭기의 VTC를 구해라.



8. 위 차동 증폭기의 common-mode gain을 구하고 differential gain과 비교해라.

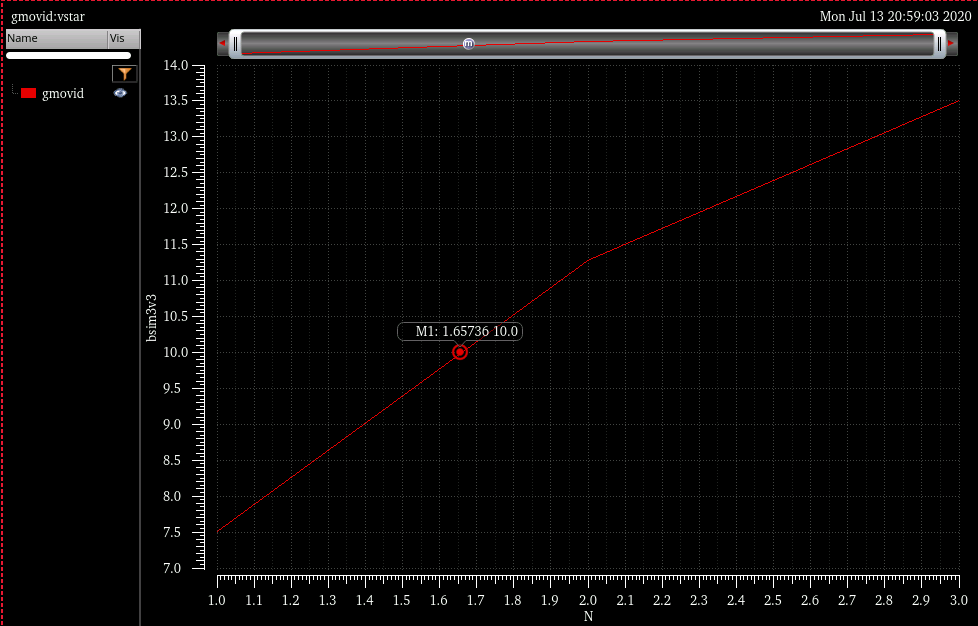


왼쪽그림은 common-mode ac signal에 대한 결과이고 오른쪽 그림은 differential signal에 대한 결과이다.

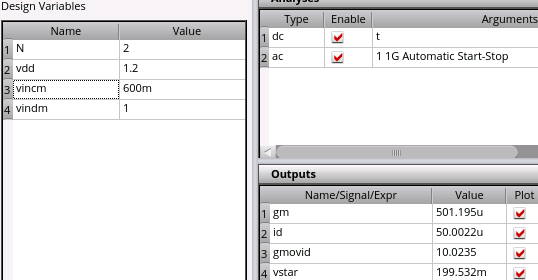
Common-mode gain = 0.

Differential gain = 1.686 (4.54dB).

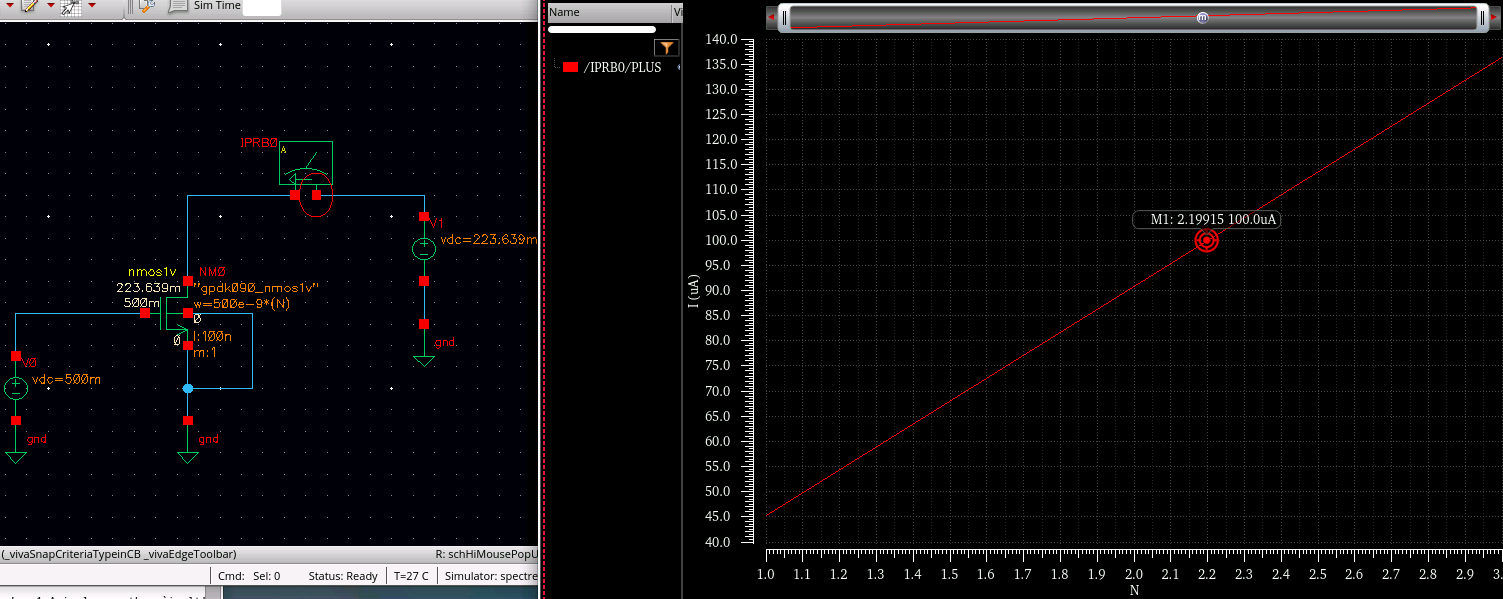
9. 위 차동증폭기의 input transistor들을 V\*=2ID/gm=200mV (gm/ID=10) 조건을 만족하도록 재설계하라.



Input transistor의 width는 0.5um로 고정하고 number of fingers를 N 변수로 두고 sweep을 한 결과 gm/id가 10이 나오는 지점은 N=1.6이다. Number of finger의 경우 정수여야 하므로 10의 조건을 맞추기 위하여 width를 0.4um로 하고 NF를 2로 설계하였다.

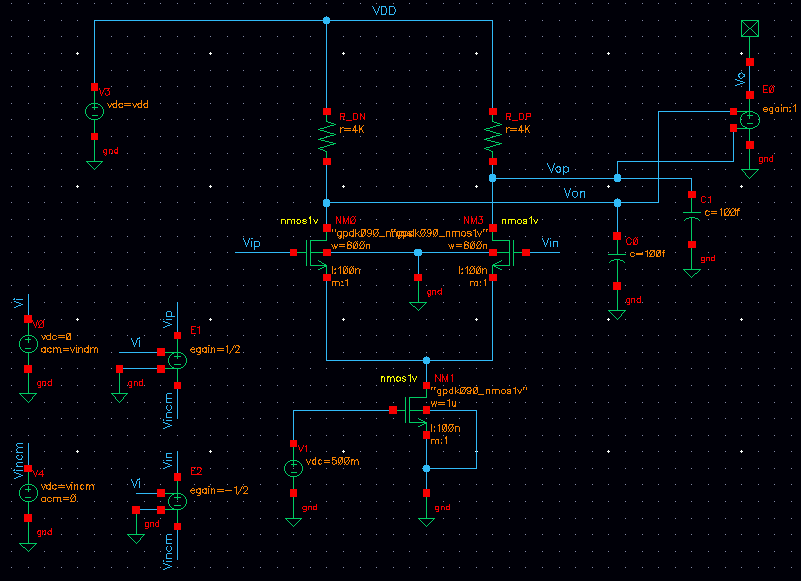


10. 위 차동 증폭기의 current source를 VGS=0.5V인 NMOS로 교체하고 4,5,6을 다시 수행하라.

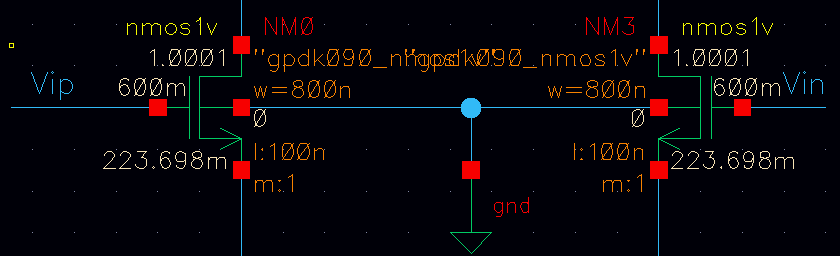


VGS = 0.5V, VDS = 223.639mV(input transistor의 source voltage)로 회로를 구성하고 NF값을 sweep해준 결과 Number of finger = 2.2가 나왔으므로 current source의 width는 0.5um\*2.2=1.1um이다.

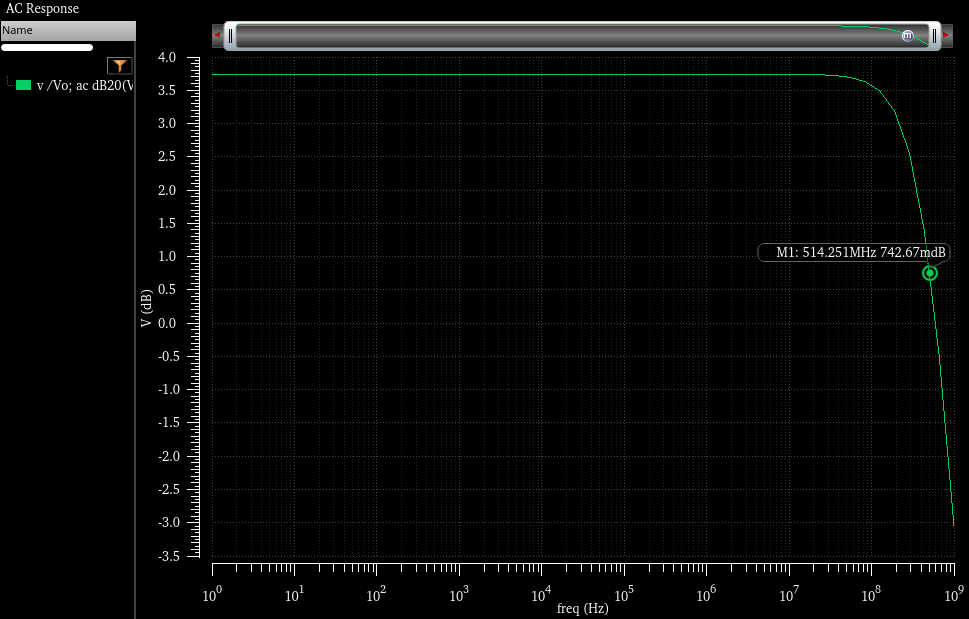
Current source nmos의 width를 1.1um, nf를 1로 주고 설계한 schematic은 아래와 같다.



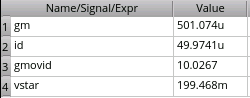
1.1um로 했을 시, gm/id 값이 10.3으로 살짝 커져서 위 과정 반복을 통해 total width = 1.13um인 current source로 만들어 주었고 그 결과 gm/id = 10을 맞추었다.

 (4번 과정)

Drain = 1V, Gate = 0.6V, Source = 223.698mV

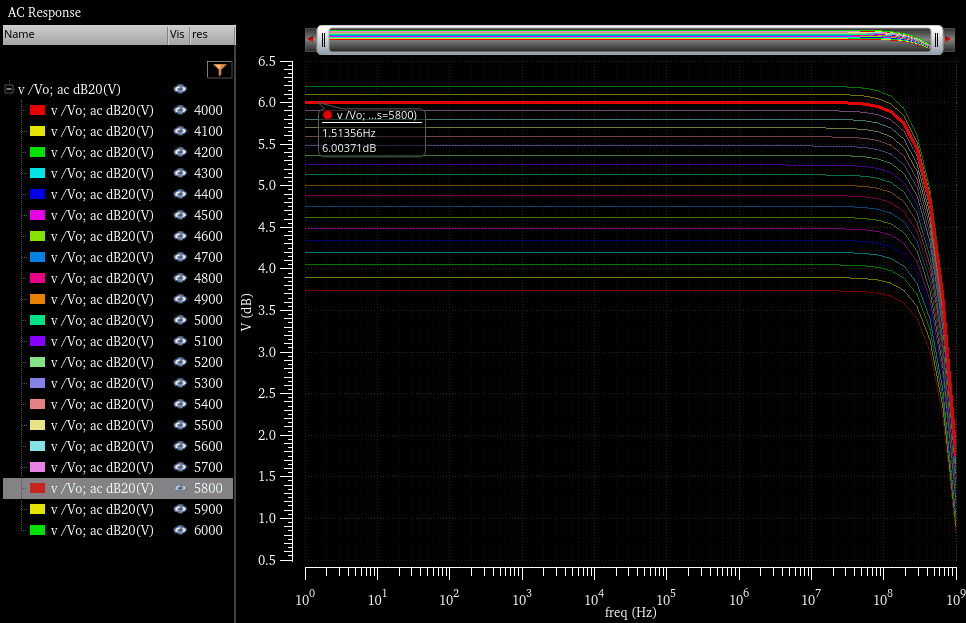
 (5번 과정)

Band Width : 514.25MHz

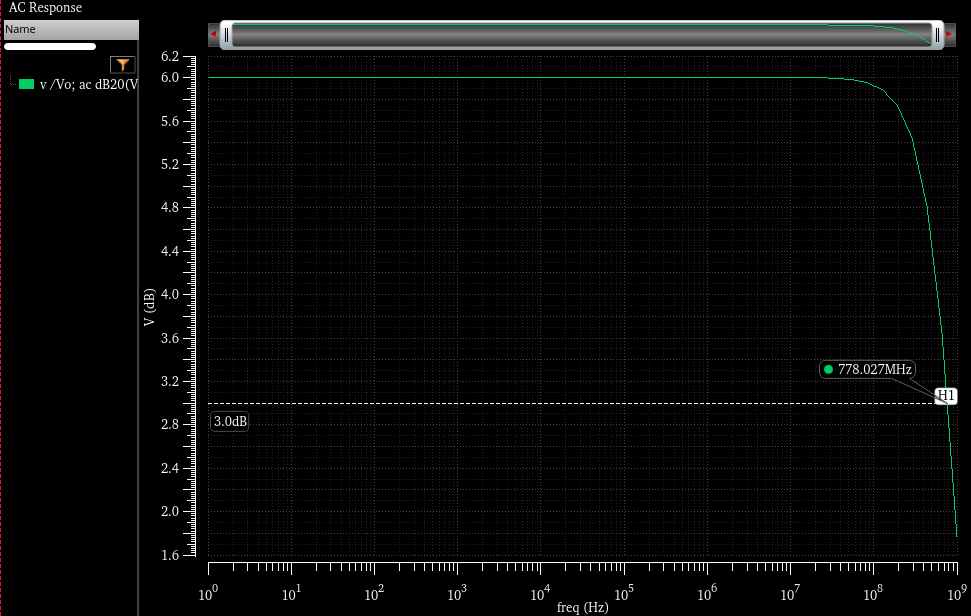
 (6번 과정)

11. 다음과 같은 스펙을 만족하는 차동 증폭기를 설계하고 4,5,6,7,8을 다시 수행하라. VDD = 1.2V, input common mode = 0.6V, gain = 2, BW = 10GHz, load capacitance = 50fF, V\*=200mV

Vstar = 200mV를 유지하고 gain을 변화시키려면 resistance를 바꿔야 한다.

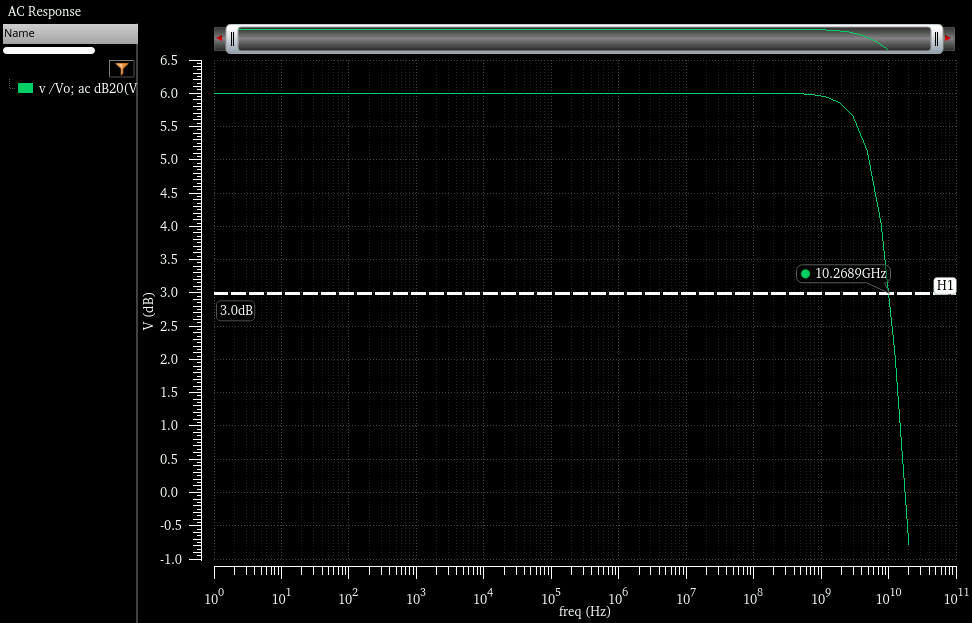


Load 저항이 5.8kΩ일 때 gain이 2 (6dB)가 나온다.



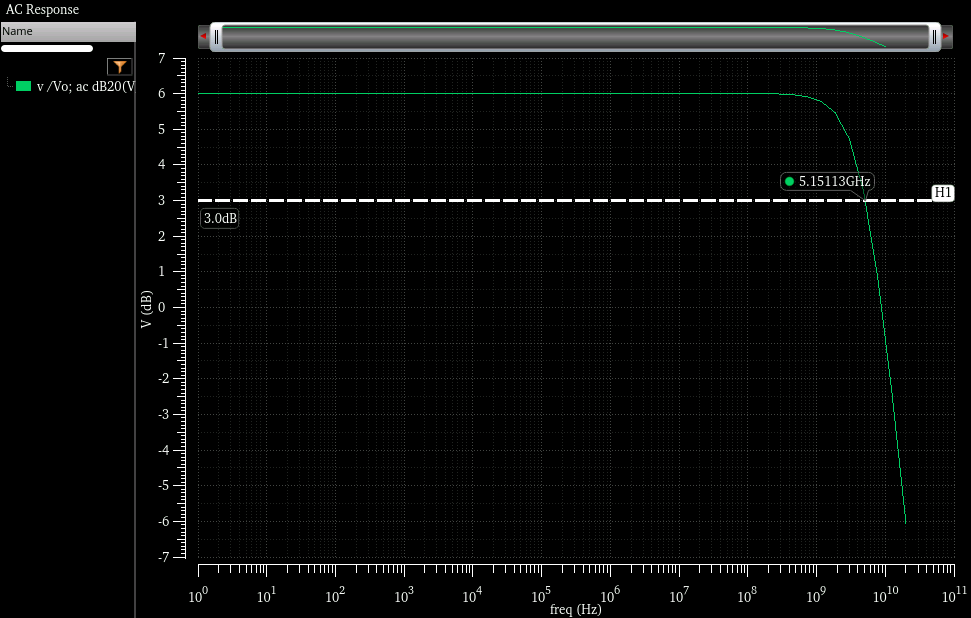
BW는 778MHz가 나온다.

Gain과 vstar를 유지하며 BW를 바꾸기 위해서 input transistor들과 current source transistor의 width를 N배 늘리고 N배 만큼 저항을 줄여준다. BW를 10GHz를 맞춰주기 위해서 약 13배를 해주어야 하는데 parasitic cap 등의 영향으로 이보다 조금 더 큰 15배를 해준 결과

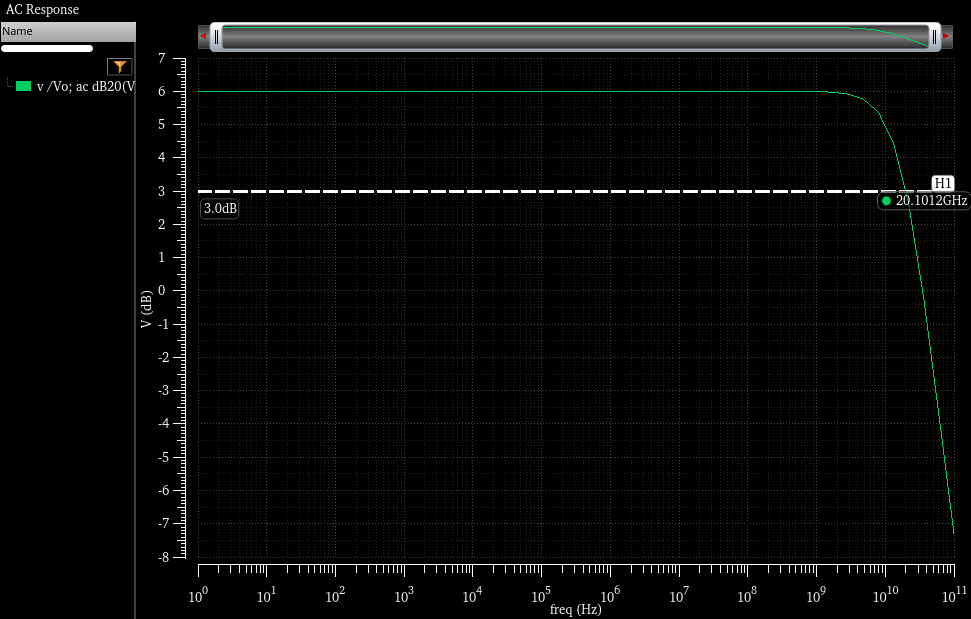


BW가 10.27GHz가 나왔다.

12. 위 문제를 BW를 5GHz, 20GHz 인 경우로 바꿔서 다시 설계하라.



기존 width의 7배를 해주고 저항을 7배 낮춘 결과 BW : 5.15GHz가 나왔다



기존 width의 34배를 해주고 저항을 34배 낮춘 결과 BW : 20.1GHz가 나왔다.